

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
31. Oktober 2002 (31.10.2002)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 02/086906 A2**

- (51) Internationale Patentklassifikation<sup>7</sup>: **G11C 29/00**, (72) Erfinder; und  
8/00 (75) Erfinder/Anmelder (nur für US): **KAISER, Robert**  
[DE/DE]; Kolpingstr. 41, 86916 Kaufering (DE).  
(21) Internationales Aktenzeichen: **PCT/EP02/03913** **SCHAMBERGER, Florian** [DE/DE]; Nonn 39, 83435  
Bad Reichenhall (DE).  
(22) Internationales Anmeldedatum: 9. April 2002 (09.04.2002) (74) Anwälte: **WILHELM, Jürgen** usw.; Wilhelm & Beck,  
Nymphenburger Str. 139, 80636 München (DE).  
(25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (national): JP, KR, US.  
(26) Veröffentlichungssprache: Deutsch **Veröffentlicht:**  
— ohne internationalen Recherchenbericht und erneut zu  
veröffentlichen nach Erhalt des Berichts  
(30) Angaben zur Priorität: 101 19 125.1 19. April 2001 (19.04.2001) DE  
*Zur Erklärung der Zweibuchstaben-Codes und der anderen  
Abkürzungen wird auf die Erklärungen ("Guidance Notes on  
Codes and Abbreviations") am Anfang jeder regulären Ausgabe  
der PCT-Gazette verwiesen.*  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-  
Martin-Str. 53, 81669 München (DE).

(54) Title: METHOD FOR THE COMPARISON OF THE ADDRESS OF A MEMORY ACCESS WITH THE ALREADY  
KNOWN ADDRESS OF A DEFECTIVE MEMORY CELL

(54) Bezeichnung: VERFAHREN ZUM VERGLEICH DER ADRESSE EINES SPEICHERZUGRIFFS MIT EINER BEREITS  
BEKANNTEN ADRESSE EINER FEHLERHAFTEN SPEICHERZELLE

(57) Abstract: The invention relates to a method for the comparison of the address of a memory cell with an already known address  
of a defective memory cell of a semiconductor memory component, divided into banks, with an address structure in which each  
address is assigned to a bank organised in rows and columns and is fixed by means of a row address, a column address and a bank  
address. On a memory access the row, column and bank address are determined, whereby a bank is activated by means of a bank  
selection signal and the access to a valid address for a defective memory cell is displayed by means of an enable register.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Vergleich der Adresse einer Speicherzelle mit einer bereits be-  
kannten Adresse einer fehlerhaften Speicherzelle eines in Bänke unterteilten Halbleiter-Speicherbausteins mit einer Adressstruktur,  
bei der jede Adresse einer in Zeilen und Spalten organisierten Bank zugeordnet und durch eine Zeilenadresse, eine Spaltenadresse  
und eine Bankadresse festgelegt ist, wobei bei einem Speicherzugriff sowohl die Zeilen-, wie die Spalten- und die Bankadresse er-  
mittelt werden, wobei eine Bank mittels eines Bankwahlsignals aktiviert wird und wobei der Zugriff auf eine gültige Adresse einer  
fehlerhaften Speicherzelle durch Freigaberegister angezeigt wird.

WO 02/086906 A2